

PAT-NO: JP406180460A

DOCUMENT-IDENTIFIER: JP 06180460 A

TITLE: SUBSTRATE STRUCTURE FOR CONNECTING
SEMICONDUCTOR CHIP

PUBN-DATE: June 28, 1994

INVENTOR-INFORMATION:

NAME

WATABE, HIROSHI

UCHIYAMA, KENJI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP04334594

APPL-DATE: December 15, 1992

INT-CL (IPC): G02F001/1345

US-CL-CURRENT: 257/737

ABSTRACT:

PURPOSE: To provide the substrate structure for connecting semiconductor chips having high reliability by previously forming bump shapes in a place to be formed with particle electrodes on a substrate and forming the particles electrodes simultaneously with formation of wiring pattern electrodes thereon.

CONSTITUTION: A driving LSI 201 is packaged onto the substrate 101 via a pad part 202 consisting of Al by bumps 105 formed in the particle electrode parts

on the substrate 101. The semiconductor chip is fixed to the substrate 101 by a UV curing resin 203 at this time. The height of the bumps 105 is preferably $\leq 10\mu\text{m}$ in order to assure the uniformity of the liquid crystal layer thickness at the time of sticking of the substrate 101 in a later stage in the case of application to a liquid crystal display device and is preferably $\leq 0.1\mu\text{m}$ for the stability of connection to the Al pad part 201. The terminal electrodes of the substrate 101 and the terminal parts of the driving LSI 201 are brought into direction contact with each other in such a manner and the reliability of connection is therefore enhanced.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-180460

(43)公開日 平成6年(1994)6月28日

(51)Int.Cl.⁵

G 0 2 F 1/1345

識別記号

庁内整理番号

9018-2K

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 4 頁)

(21)出願番号 特願平4-334594

(22)出願日 平成4年(1992)12月15日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 渡部 寛

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

(72)発明者 内山 憲治

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

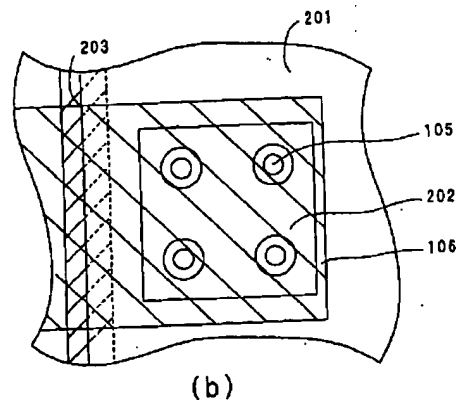
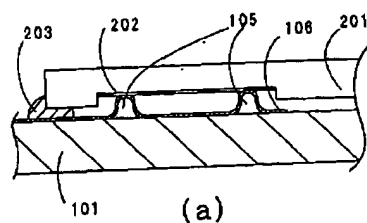
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 半導体チップ接続用基板構造

(57)【要約】

【目的】液晶表示装置等のCOG実装において、ICのパッドに bumps を形成する事なく、また特殊な導電粒子を用いる事なくICのA1パッドとの接続信頼性を高める事を目的とした。

【構成】カラーフィルターの平坦化膜やカラーフィルター自身をフォトリソ法で形成する際に、端子電極となる透明導電膜106が形成される場所に bumps 105を形成し、その上にITO膜や金属膜を成膜し、パターニングしてなる半導体チップ接続用基板構造。



【特許請求の範囲】

【請求項1】複数の電極より構成される半導体チップの端子部を、基板表面に形成された端子電極上にフェイスダウンによってダイレクトボンディングする半導体チップ接続用基板構造において、半導体との接続部の基板上に予め突起部を形成した上に配線パターン電極と端子電極を一括形成することにより、基板表面の端子電極上にバンパを形成した事を特徴とする半導体チップ接続用基板構造。

【請求項2】前記基板上に有機膜ないし無機膜を形成すると同時に前記突起部が所定の位置に選択的に形成された事を特徴とする請求項1記載の半導体チップ接続用基板構造。

【請求項3】前記基板が液晶表示装置に用いられる透明基板であり、かつ、基板上の突起部の高さ d が、 $0.1\mu\text{m} < d < 10\mu\text{m}$ の範囲である事を特徴とする請求項1記載の半導体チップ接続用基板構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置などの電子機器における半導体チップ接続用基板構造に関する。

【0002】

【従来の技術】パーソナルコンピュータやワードプロセッサなどの表示装置として用いられる液晶表示装置に対する駆動用LSI（大規模集積回路）チップの接続法には、異方性導電膜（ACF）を介してガラス基板上の端子電極と駆動用LSIを実装したTABの出力端子部とを接続する方法が一般的に用いられている。この接続法はACF中に含まれる粒子の凝集やTABの銅箔のパターン精度から接続ピッチに限界がある事、また、TABやACFなどの部品コストがかかるという課題を有している。

【0003】そこで、接続の微細化及び低コスト化に対応する技術として、液晶表示装置用のガラス基板の端子電極と駆動用LSIを直接接続させるCOG方式が用いられている。このCOG方式では、（1）駆動用LSI側に接続信頼性を上げるためのバンパを形成する場合と、逆に（2）このバンパをガラス基板の端子電極上にバンパ形成する場合と、（3）駆動用LSIとガラス基板の端子電極上の両側にバンパ形成する場合がある。この3方式の中で駆動用LSIにバンパ形成する（1）、（3）の方式は、LSIのコストを上げてしまう事から液晶表示装置のガラス基板の端子電極上にバンパが形成できる事が望ましい。このガラス基板の端子電極上にバンパを形成する場合、従来は液晶表示装置組立後、金属コートしたプラスチックボールを樹脂中に混合して印刷法やフォトリソ法により、端子電極上に選択的に形成する方法が用いられていた。

【0004】

【発明が解決しようとする課題】液晶表示装置における

ガラス基板の端子電極上へのバンパ形成に対し、従来用いられていた金属コートしたプラスチックボールを樹脂中に混入した構造は接続する端子電極と金属コートプラスチックボール及び駆動用LSIチップ端子部と金属コートプラスチックボールとの間にバインダーとして使用する樹脂が入り込むため、導通の信頼性が取れないという欠点を有していた。

【0005】そこで、本発明は上記欠点を解決するために、基板上に端子電極が形成されるべき場所に予めバンパ形状を形成し、その上に配線パターン電極形成と同時に端子電極を形成する事により、端子電極とバンパを兼ねる構造をとる事を特徴とし、その目的は基板の端子電極と駆動用LSIの端子部をダイレクトにコンタクトさせる事により接続の信頼性を高める事である。

【0006】

【課題を解決するための手段】本発明の半導体チップ接続用基板構造は、複数の電極より構成される半導体チップの端子部を、基板表面に形成された端子電極上にフェイスダウンによってダイレクトボンディングする半導体チップ接続用基板構造において、半導体との接続部の基板上に予め突起部を形成した上に配線パターン電極と端子電極を一括形成することにより、基板表面の端子電極上にバンパを形成した事を特徴とする。

【0007】

【実施例】

〔実施例1〕以下本発明の一実施例を図1から図4を用いて説明する。図1（a）のガラス基板101上に、ネガ型感光性レジスト102を塗布し、次に図1（b）のようにフォトリソ法を用い、所定の場所にのみ紫外光を照射させる事により、図1（c）の105のように現像工程経過後所定の場所にバンパを形成する。さらに図1（d）のようにその基板表面に透明導電膜106を形成し、その透明導電膜をレジスト塗布、パターン露光、現像、透明導電膜エッチング、レジスト剥離の一連の工程よりなるフォトリソ法により、パターン部と同時に端子部にも電極を形成する。この様にして、図1（e）に示すように基板上の端子電極部にバンパ105が形成される。図2（a）は、図1において形成されたバンパ105により駆動用LSI201をA1のパッド部202を介して基板101上に実装した際の断面図であり、半導体チップは紫外線硬化樹脂203により基板に固定されている。図2（b）は上記構造の平面図であり、バンパ105がA1パッド202と接続している様子を表している。さらに、図3（a）は実際の液晶表示装置上での実装構造を表しており、駆動用LSIの出力側の接続（202と105）の他に入力側（302、301）にも同様な構造を取り、透明導電膜106と同じように端子電極303を形成し、FPC（フレキシブルプリント基板）304への接続にACF（異方性導電膜）305を用いた構造を示している。また、図3

3

(b)はその接続の平面図を示している。

【0008】図4は、バンプ形成に用いるネガ型感光性レジストがカラーフィルター層401の平坦化膜402と兼ね、平坦化膜の上に形成される透明電極403とバンプ105上に形成された透明導電膜106が兼ねられた構造を示すものであり、液晶表示装置のカラーフィルター形成と端子電極のバンプ形成が一括して形成された構造を示している。この時、バンプ105の形成はカラーフィルター層401の形成の際に同時に作られる事も、また、カラーフィルター層401と平坦化層402の両方の膜を形成する事もできる。図5は、液晶表示装置の配線パターン電極の低抵抗化に用いられるA1やAu等の金属補助配線部501をバンプ形成用電極とし引き廻した場合の構造であり、表示用電極部502と導通接続部503を通じて電気的に接続されている。この場合、FPCからLSIの入力端子までの配線抵抗は透明電極に用いられるITO（インジウム・スズ酸化物）に比べ、一桁以上の低抵抗化が計れ、図3(a)303のような入力部引き廻しに対し抵抗面での自由度を持たせる事ができる。

【0009】バンプ105の材質はアクリル系ネガ型感光性レジストか、アクリル・エポキシ系ネガ型感光性レジストを用いたが、エポキシ、ポリイミド、ポリアミド、ポリウレタンやそれらの混合物でも同様な効果が期待できる。図2のバンプ105の高さに関しては、液晶表示装置に应用する場合、後工程での基板の貼り合わせの際の液晶層厚の均一性を確保するために10μm以下が望ましく、また、A1パッド部202との接続安定性

4

から0.1μm以上が望ましい。さらに、図4、図5のように平坦化膜やカラーフィルターとバンプ105を一括形成する場合は、カラーフィルターの膜厚や平坦化膜の膜厚ないしは、それを加えた層厚より薄い膜厚が望ましい。

【0010】

【発明の効果】以上述べたように、基板表面上にバンプを形成し直接LSIの端子部とコンタクトした事により、信頼性の高い半導体チップ接続用基板構造が得られた。

【図面の簡単な説明】

【図1】本発明におけるバンプ形成法の説明図。

【図2】本発明におけるバンプとLSIとの接続の様子を示す図。

【図3】本発明を利用した液晶表示装置の実装例を示す図。

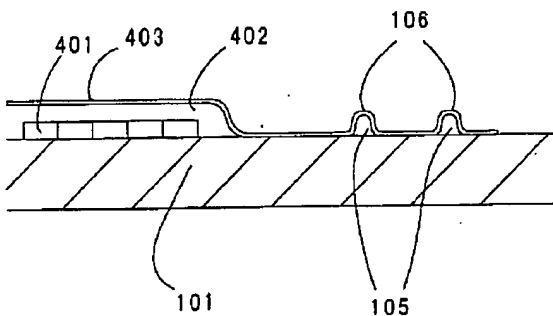
【図4】本発明を利用したカラーフィルター基板の断面図。

【図5】本発明を利用した金属補助配線付き基板の断面図。

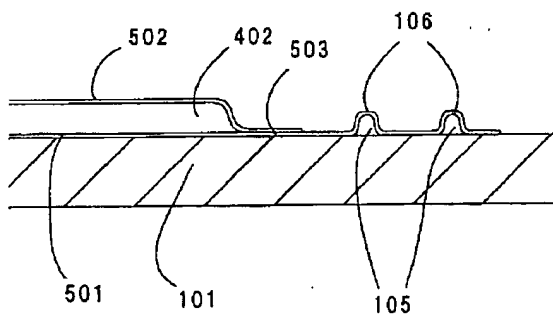
【符号の説明】

- 101. ガラス基板
- 105. バンプ
- 106. 透明導電膜
- 201. 駆動用LSI
- 202. パッド部
- 203. 紫外線硬化樹脂

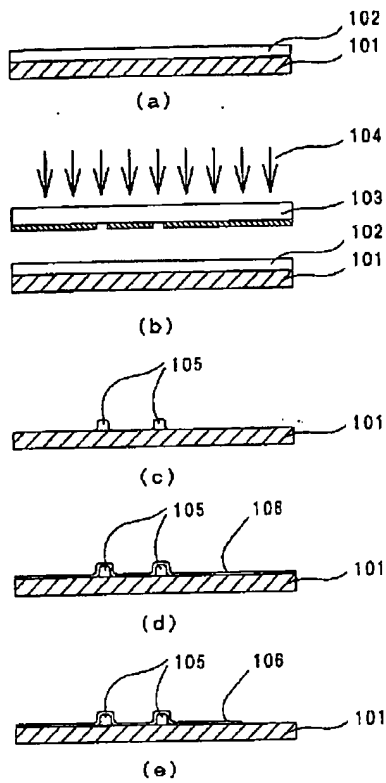
【図4】



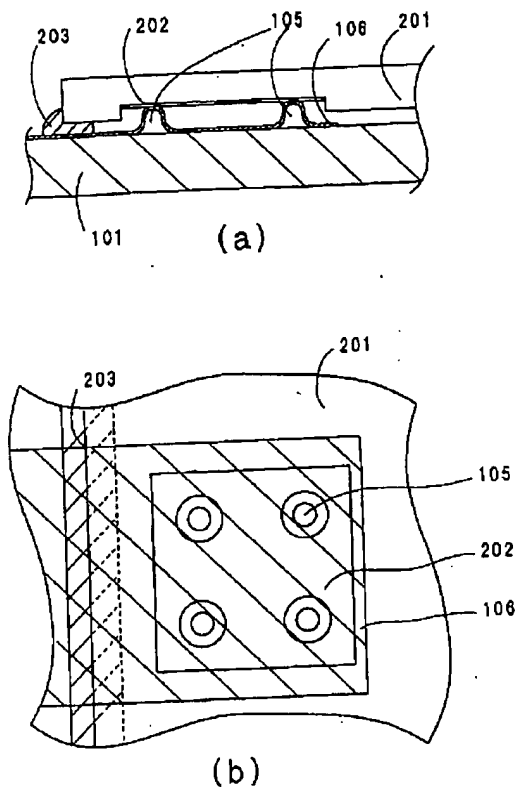
【図5】



【図1】



【図2】



【図3】

